

Prozessorgeflüster

Von Horizont und Vertizont

AMD Zen wirft seine Schatten voraus. Applied Micro wird aufgekauft, doch der Käufer Marcom will die X-Gene-Prozessoren nicht. Und RISC-V kommt in Fahrt.

Von Andreas Stiller

AMD veranstaltet in Sonoma County – eine der besten amerikanischen Weinregionen – zunächst eine Konferenz der Radeon Technologies Group, auf der insbesondere Neuigkeiten zur neuen GPU-Generation Vega erwartet werden. Unmittelbar darauf soll dann am 13. Dezember in Austin/Texas ein groß angelegtes, per Webcast übertragene „New Horizon“-Event folgen, auf dem PCs mit der Zen-CPU „Summit Ridge“ in einer Preview öffentlich vorgeführt werden, bevor sie im 1. Quartal 2017 offiziell vom Stapel laufen. Man kann davon ausgehen, dass bereits auf der CES 2017 Anfang Januar in Las Vegas diverse Zen-Systeme bewundert werden können, um Intels dort geplanten Launch der KabyLake-Prozessoren Core i5/i7-7000 etwas Publikumswirksames entgegenzusetzen.

Summit Ridge für den Desktop-PC ist für den AM4-Sockel vorgesehen und wird DDR4-RAM unterstützen. Die Spitzenmodelle sollen 8 Kerne und 16 Threads besitzen. Nach kürzlich aufgetauchten Auszügen aus Präsentationsfolien könnten die Octo-Core-Versionen von Summit Ridge als SR7 kommen, weiter sind demnach SR5- und SR3-Varianten geplant. Zen SR5 könnte dann 6 Kerne mit 12 Threads haben und Zen SR3 4 Kerne mit 8 Threads.

Die Server-Versionen mit 8, 16 oder 32-Kernen (Naples) sollen in der zweiten Jahreshälfte folgen. Erste Benchmark-Ergebnisse von Prototypen in der sogenannten AMD-Diesel-Plattform sind bereits hier und da aufgetaucht, etwa in der SiSoft-Sandra-Datenbank. Die Einträge sind dort aber schnell wieder verschwunden. Auf die Ergebnisse mit irgendwelchen frü-

hen Prototypen kann man ohnehin nicht viel geben. Offenbar lief auch hier Hyper-Threading noch nicht. Das galt ja auch für die SPECint_rate-Werte, die auf der SC16 kundgetan wurden. In der Sandra-Beschreibung wurden vier AMD Prozessoren à 16 Kerne mit insgesamt 64 Threads aufgelistet. Das weist darauf hin, dass hier zwei Dice in einem Gehäuse stecken, ähnlich wie früher beim Opteron Interlagos. Nur hat Naples 32 echte Kerne und nicht nur 16, und die müssen sich auch nicht, so wie beim Bulldozer, die Gleitkommataeilheiten zu zweit teilen.

32-Kern-Prozessoren von AMD, APM und Intel?

32 physische Kerne – die werden neuerdings auch Intels Skylake-EP nachgesagt, dem etwa für den gleichen Zeitraum geplanten nächsten Serverprozessor. Jedenfalls wurde vor Kurzem in China auf Taobao ein Prototyp des Xeon E5-2699v5 mit angeblich 32 Kernen versteigert. Aber ob die Beschreibung stimmt? Bislang ging man für die Skylake-Serverprozessoren nur von maximal 28 Kernen aus. Auch auf Zaubra, wo Exporte von und nach Indien aufgelistet werden, findet man bislang nur Skylake-Systeme mit Prozessoren mit maximal 28 Kernen. Aber wer weiß, vielleicht hat Intel ja noch was in der Hinterhand.

Am letzten Novembertag kamen die Spitzen von Macom und Applied Micro Circuits in Boston zu sogenannten „Town-Hall“-Gesprächen mit den Investoren zusammen, um die zehn Tage zuvor verkündete Übernahmevereinbarung zu erläutern. Macom, genauer M/A-Com Technologies Solutions, ist eine alteingesessene amerikanische Elektronikfirma in Massachusetts mit Schwerpunkten in Analogtechnik, RF, Mikrowellen, Photonics ... Für 770 Millionen US-Dollar will Macom die kalifornische Firma APM übernehmen. Nur die Business-Abteilung „Compute“ mit den ARM-Serverchips X-Gene 1,2,3 – eine Sparte im „Investment-Modus“, die noch keinen Gewinn abwirft – benötige man nicht. Sie soll so schnell wie möglich verkauft werden, aber wer will die haben? APM-Chef Paramesh Gopi bemühte sich nach Kräften, die aus Macom-Sicht offenbar wenig lukrativen X-Gene-Chips anzupreisen. Im Dezember, also jetzt, soll die dritte Generation mit 450 bis 500 „spec end“ fertig sein – ja ja, der arme Transkripteur wusste nicht, was „SPECint“ ist, gemeint ist ohnehin SPECint_rate2006. Das Ganze bei weniger als 120 Watt – das hört sich doch eigentlich ganz gut an. Und wenn der X-Gene 3 dann wirklich wie von Gopi angekündigt im ersten Quartal 2017 lieferbar ist ... Einen großen Partner hat



Skylake-EP mit bis zu 32 Kernen? Auf der SC 16 konnte man bei Supermicro zumindest schon mal das Board X11DRI mit den Riesensockeln (3647 Pins) und acht DIMMs pro Prozessor bewundern.

man ja: Hewlett Packard Enterprise baut die X-Gene-Prozessoren aus der ersten Generation in die Storage-Systeme Store-Virtual 3200 ein. Vielleicht will ja HPE mal wieder einen eigenen Prozessor?

Inzwischen kommt auch eine interessante Alternative zu ARM in Fahrt, nämlich die an der Computer Science Division der University of California, Berkeley unter Mitwirkung des SPARC-Erfinders David Patterson entwickelte offene Prozessorarchitektur RISC-V. Die umfasst sowohl kleine 32-bittige Designs für Embedded und IoT als auch leistungsfähige 64-Bit-Designs für Machine Learning, Storage und Netzwerke – passt doch. Und HPE ist

ja ein Gründungsmitglied der RISC Foundation, die das Projekt betreut – neben vielen anderen Wohlbekannten aus der Szene wie Google, Microsoft, IBM, Oracle, Qualcomm, NVidia, AMD, Mellanox, Microsemi, Rambus, Western Digital ...

Für die kommerzielle Vermarktung wurde die Firma SiFive gegründet, die auf Basis der offenen Architekturen zwei Plattformen entwickelt hat: Die 32-bittige Freedom-E300-Serie ist für Embedded, IoT und Wearables gedacht, ausgelegt für den TSMC-Prozess in 180 nm. Ein Entwickler-Kit mit Microsemi M2S010 SoC FPGA wird für 125 US-Dollar angeboten. Die wesentlich leistungsfähigere 64-Bit-

Plattform U500 bietet Multi-Core mit Cache-Kohärenz-Protokoll, PCIe 3.0, USB 3.0, GbE und DDR3/4 und ist für TSMC 28 nm ausgelegt. Das Entwicklungssystem braucht demnach ein richtig großes FPGA, hier einen Xilinx Virtex-7. Als Betriebssysteme werden bislang Linux, FreeBSD und FreeRTOS unterstützt, Android ist noch in Arbeit.

Wer sich den „RISC-V“-Prozessor Rocket mal im Sourcecode anschauen möchte, kann ihn von github.com/ucbar/rocket-chip herunterladen. Er sollte nur vorher die ebenfalls in Berkeley entwickelte Hardware-Konstruktionssprache Chisel lernen. (as@ct.de) **ct**

Anzeige