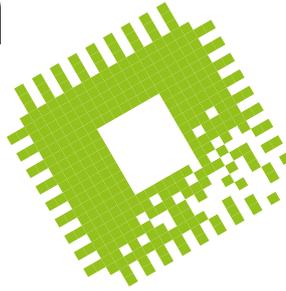


# Bit-Rauschen

## Riesen-Cache-Ryzen, AMD-Roadmap und Bosch-Chips



**AMD frischt PC-Prozessoren der Baureihe Ryzen 5000 mit einer Extraportion Cache auf. Die nächste Ryzen-Generation kommt mit Zen-4-Technik und DDR5. Bosch hat in Dresden eine neue Chip-Fab eingeweiht.**

Von Christof Windeck

**A**MD plant zum Jahresende Ryzen-5000-Prozessoren für Desktop-PCs mit riesigen Caches. 12- und 16-Kerner gibt es dann auch mit 192 statt bisher nur mit 64 MByte L3-Cache. Laut AMD bringt das in Computerspielen rund 15 Prozent Leistungsplus, in manchen Anwendungen bis zu 25 Prozent.

Für den Riesen-Cache greift AMD in die „Chiplet“-Trickkiste des Auftragsfertigers TSMC. Der setzt die Ryzen-Prozessoren bisher aus einem oder zwei selbst gefertigten 7-Nanometer-Chiplets – den Core Complex Dies (CCDs) – und einem 12-Nanometer-I/O-Die (IOD) von Globalfoundries zusammen. Nun packt TSMC im Wortsinn noch einen drauf, und zwar auf jeden CCD ein dünn geschliffenes, quadratisches SRAM-Die mit sechs Millimetern Kantenlänge. Weil daneben jeweils noch ein Stückchen Silizium nahtlos anschließt, sieht man mit bloßem Auge keinen Unterschied zu Ryzens mit „normalen“ Zen-3-CCDs. Dazu müsste man allerdings auch erst einmal den Blechdeckel alias Heatspreader entfernen.

Hinter der von TSMC „System on Integrated Chips“ (SoIC) getauften Technik steckt eine Menge Entwicklungsarbeit. Wie Chip-Aufschleifer herausfanden, sind längst sämtliche Zen-3-CCDs für die SRAM-Aufstapelung vorbereitet: Die besonders „hitzköpfigen“ CPU-Kerne sitzen seitlich auf dem Die, sodass das SRAM-Die über dem kühleren L3-Cache in der Mitte liegt. Und in jedem CCD sind einige Tau-

send Through-Silicon Vias (TSVs) eingebaut, die die aktive Schicht des Dies mit seiner Rückseite verbinden. Denn das SRAM-Die sitzt quasi huckepack auf dem CCD, das mit der aktiven Seite nach unten mit dem Die Carrier verbunden ist (Flip-Chip-Montage).

Anders als konkurrierende Verfahren zur elektrischen und mechanischen Verbindung mit Lotkugeln oder mikroskopisch kleinen Kupfer-Microbumps koppelt TSMC SoIC die Die-Kontakte per „Hybrid Bonding“ direkt. Dadurch sind extrem viele Kontakte auf kleiner Fläche möglich und in Verbindung mit TSVs kurze Leitungspfade, die niedrige Latenzen bringen. Das Zusatz-SRAM funktioniert als Erweiterung des L3-Caches und nicht etwa als L4-Cache.

### AMD-Roadmap

Vermutlich kommen die Supercache-Ryzens als Ryzen 9 5900XT und 5950XT zum Weihnachtsgeschäft. AMD meint offenbar, so mit Intels Core i-12000 konkurrieren zu können, die man im Herbst als „Alder Lake“ mit bis zu 16 Kernen erwartet. Dabei kombiniert Intel acht Core-i-Kerne vom weiter optimierten Typ „Golden Cove“ mit acht schwächeren Kernen der Atom-Klasse (Tremont).

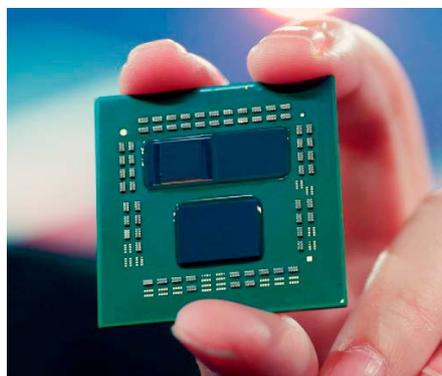


Bild: AMD/YouTube

**Auf dem linken CCD dieses präparierten AMD-Ryzen-Prozessors erkennt ein scharfes Auge den zusätzlichen SRAM-Chip; das rechte CCD trägt zwar auch einen, den man aber wegen flankierender Siliziumplättchen nicht sieht.**

Wenn AMD jedoch den Ryzen 5000 dank mehr Cache bis weit ins Jahr 2022 hinein aktuell hält, dürfte der Ryzen 6000 „Raphael“ mit Zen-4-Architektur, DDR5-RAM und der neuen Fassung AM5 frühestens Mitte 2022 kommen. Die Zen-4-CCDs sollen die 5-Nanometer-Technik TSMC N5 nutzen. Man munkelt, dass Raphael kein IOD von Globalfoundries mehr haben wird, sondern ein „CIOD“ mit TSMC N7 und einem DDR5-Speichercontroller. Letzterer hat vermutlich vier 32-Bit-Kanäle, weil sich bei DDR5-RAM – anders als bei DDR4-RAM – jeder der beiden 64-Bit-Kanäle in zwei 32-Bit-Kanäle aufspalten lässt. Zudem steckt im CIOD wohl ein einfacher Grafikern und die Fassung AM5 hat 1718 Kontaktfedern, die LGA1718-CPU also keine Pins.

Deutlich früher, vielleicht schon auf der CES im Januar 2022, könnte die Notebook-Prozessorgeneration Ryzen 6000U/H alias „Rembrandt“ kommen – wohl weiterhin „monolithisch“, also nicht aus Chiplets zusammengesetzt, und aus der 6-Nanometer-Fertigung TSMC N6. Als wichtigste Verbesserung erwartet man eine stärkere RDNA-2-GPU mit zeitgemäßen Video-Decodern. Die CPU-Kerne werden wohl nur moderat überarbeitet (Zen 3+) und es dürfte ein Speichercontroller für DDR5 beziehungsweise LPDDR5 kommen. Zen 4 steht dann bei Notebooks erst 2023 an („Phoenix“, Ryzen 7000U). 2024 sind Zen-5-Chips mit 3-Nanometer-Technik zu erwarten: Durch Foren rauschen Codenamen wie „Strix Point“ (Ryzen 8000U/H/G), „Granite Ridge“ (Ryzen 8000) und „Torino“ (Epyc 7005).

### Sächsische Halbleiter

Bosch hat in Dresden eine rund 1 Milliarde Euro teure Chip-Fab vorwiegend für Automobil- und Leistungshalbleiter feierlich eröffnet. Die Fertigung läuft bereits, auf 30-Zentimeter-Siliziumscheiben entstehen Chips für Elektrowerkzeuge. Ab September und damit ein Vierteljahr früher als geplant kommen dann Halbleiter für Bosch-Fahrzeugelektronik. KI-Algorithmen, die Daten von Tausenden IoT-Sensoren auswerten, helfen Bosch bei der Steuerung der Fab. Im Sinne des Schlagworts „Industrie 4.0“ gibt es einen digitalen Zwilling der Bosch-Fab, also virtuelle Abbilder jeder Maschine und jedes Produkts, das sie durchläuft. Wir können uns dabei über das Kürzel AIoT freuen, das für Artificial Intelligence Internet of Things steht. (ciw@ct.de) 

**Bit-Rauschen-Podcast: [ct.de/yw53](https://ct.de/yw53)**