

Andreas Stiller

Prozessorgeflüster

Von Zeilen, Spalten und Kreisen

Hör mal, wer da hämmert, dachte sich Google und hämmerte auf DRAMs rum. An den Mauern der Server-Bastion hämmert auch wer, nämlich ARM – aber Intel wehrt sich mit Atom-Pech und Xeon-Schwefel.

Kaum da, macht er schon viel Aufsehen, Intels neuer Xeon D-1500, etwa in dem von Facebook entwickelten Server-Modul „Mono Lake“, welches für das modulare Server-Konzept „Yosemite“ vorgesehen ist (siehe Seiten 30 und 70). Intel will nun mit diesem ersten SoC für Server – nach dem mehr für Netzwerke vorgesehenen Tolapai im Jahre 2008 – noch einen Schritt weiter gehen und wirbt mit kundenspezifischen Erweiterungen. Das können eigene Befehle sein oder auch spezielle Hardware, etwa FPGAs auf dem Chip. Wer jetzt ordert, kann vielleicht noch in diesem Jahr mit Ware rechnen. Und vielleicht muss auch die bestellte Stückzahl nicht so hoch sein wie die eine Million, die mir Server-Chefin Diane Bryant im vergangenen Jahr nannte, als ich den Wunsch nach einem Prozessor mit selbst definierten Instruktionen äußerte.

Mit dem Xeon D will Intel neue Märkte erschließen und damit auch den Umsatz etwas aufpeppen, denn fürs laufende Quartal musste die Corporation eine enttäuschende Umsatzwarnung aussprechen: 1 Milliarde Dollar weniger als ursprünglich erwartet. Vor allem aber will Intel mit dem Xeon D die langsam anrückende ARM64-Armee in Schach halten. Da bahnen sich immer neue Konstellationen an. Tiler a – nun als Tochter von EZchip – will hier mitmarschieren, wechselt von MIPS zu ARM und bringt sich mit dem 100-Kerner Tile-Mx100 auf Basis von Cortex-A53 in Stellung. Cavium hat 48 eigenentwickelte ARM64-Kerne im ThunderX und teamt sich jetzt mit Nvidia zusammen, um deren GPUs ansteuern zu können. Auf Nvidias GPU Technology Conference, die netterweise genau parallel zur CeBIT stattfindet, ist Cavium als Aussteller dabei.

Als erster ARM64-Server-Vertreter musste derweil der X-Gene 1 von Applied Micro zeigen, was wirklich in ihm steckt. Johan De Gelas, der für AnandTech schreibende belgische Professor, hat ihn in HPs

Tiler a, nun bei EZchip, wechselt von MIPS auf ARM Cortex-A53 und packt 25 Vierkerner in ein Cluster on a chip.

Moonshot gegen Intel-Prozessoren antreten lassen – zwar noch nicht gegen den Xeon D, aber gegen den Xeon E3 und den Avaton (Atom C2750). Verglichen mit den hohen Erwartungen, die Applied Micro mit dem X-Gene geweckt hat, waren seine Benchmark-Ergebnisse zumeist recht ernüchternd, auch wenn es das schnellste ARM-SoC war, das er je in den Fingern hatte. Hier oder da konnte der APM-Prozessor punkten, aber in der wohl letztlich wichtigsten Disziplin Performance pro Watt kam X-Gene 1 bei 2,4 GHz auf einen Systemdurchsatz von 5,4 (Throughput per Watt), der Atom C2750 2,4 auf 12,5 Punkte und der Xeon E3-1230L v3 mit 1,8 GHz auf 17,6 Punkte.

CERN-Wissenschaftler haben allerdings vor ein paar Monaten mit dem hauseigenen ParFullCMS-Benchmark etwas bessere Ergebnisse mit dem X-Gene 1 erzielt, jedenfalls im Vergleich zum nicht so energieoptimierten Xeon E5-2650. In Performance pro Watt lagen die beiden bei den „berechneten Events/s pro Watt“ grob gleichauf, der ebenfalls mitgemessene Xeon Phi SE10/7120 fiel indes total ab, kam bei Berücksichtigung des Energieverbrauchs der kompletten Karte nicht einmal auf die Hälfte.

Apropos CERN, noch kreisen zwar keine Protonen im ganzen Ring zwischen der Schweiz und Frankreich, aber sie werden derzeit schon in einige Sektoren eingeschossen und dann gleich entsorgt. Der Weltuntergang ist jedenfalls bis Redaktionsschluss noch nicht eingetreten und den Super-Pi-Tag 3/14/15 haben wir auch ohne Kreislauf-

kollaps überstanden. Passend dazu veröffentlichte Pionier Alexander J. Yee an dem Jubiläumstag eine neue, deutlich verbesserte Version der Software y-crunner. Unter anderem bietet y-crunner V0.6.8 für die zahlreichen Skylake-Besitzer unter uns bereits AVX512-Unterstützung in all ihren vielfältigen Ausprägungen. Mit der Software kann man Pi und andere Konstanten wie Euler-Mascheroni sowie Wurzeln und Logarithmen auf viele Milliarden Stellen berechnen. Der Rekord für Pi steht derzeit bei 13,3 Billionen Dezimalstellen (Laufzeit 208 Tage).

Rohes Hämmern

Während sich Google-Entwickler Yee in seiner Freizeit mit Pi und Co. beschäftigt, hat ein anderes Google-Team einen hochinteressanten Exploit ausgetüftelt (siehe S. 46). Er beruht auf einer wohlbekannten Anfälligkeit von DDR3-Speicher, wenn man allzu häufig auf eine Zeile zugreift oder zwischen zwei Zeilen innerhalb einer Bank wechselt. Das sogenannte Row Hammering kann benachbarte Zeilen derart stören, dass hier Bits kippen. Diese Anfälligkeit ist der Industrie schon seit Jahren bekannt – Intel hat mehrere Patente, die das Problem angehen, etwa das US-Patent US20140006703 A1, eingereicht im Juni 2012. Da werden Zugriffe innerhalb eines Zeitfensters auf dieselbe Zeile mitgezählt. Sind es mehr als ein vorgegebener Schwellenwert, zum Beispiel 550 000 innerhalb der üblichen Refresh-Zeit von 64 ms, dann wird ein zusätzlicher Refresh für die gefährdete Nachbarzeile („victim row“) eingeschoben.

Die breitere Öffentlichkeit wurde von der Zeilenhammergefahr aber erst im Sommer vorigen Jahres auf dem Internationalen Symposium für Computer-Architektur (ISCA) informiert. Wissenschaftler der Carnegie Mellon University sowie ein Intel-Entwickler hatten sich die Mühe gemacht, sowohl mit speziell designten FPGAs als auch auf realen Systemen mit Intel- und AMD-Prozessoren und mit völlig harmlosem User-Code zu „hämmern“. Lustigerweise, wenn man bedenkt, dass ein Intel-Mitarbeiter dabei war, beklagten sich die Autoren darüber, dass nur AMD das Mapping der Bits auf die Speicherzeilen sorgsam dokumentiert hat, bei den Intel-Prozessoren waren sie jedoch auf Reengineering angewiesen. Etwas unglücklich für Intel dürfte auch gewesen sein, dass die Systeme mit Intel-Prozessoren (Sandy/Ivy Bridge und Haswell) bei den Experimenten weit häufiger Bit-Flips erlitten als solche mit AMDs Piledriver, immerhin so um Faktoren 200 bis 1000.

Die Autoren präsentierten auch eine Idee, wie man das Problem allein im DRAM mit einem zufälligen Refresh der Nachbarzeile (PARA) beim Öffnen oder Schließen einer Zeile in den Griff kriegen kann. Das kostet nur marginal zusätzliche Zeit und verlangsamt nach ihren Simulationen etwa SPEC CPU2006 nur um 0,2 Prozent. Bei DDR4-Systemen soll das „1 Row Disturb“-Problem, wie es in der Szene heißt, aber schon beseitigt sein. (as@ct.de)

