

Andreas Stiller

Prozessorgeflüster

Von re und von nah

Kaum zu glauben, dies ist nun schon das 0x200. Prozessorgeflüster. Grund genug, weiter nach vorne, aber auch zurückzuschauen, oder wie man das in Hannover so schwittert: „re von nah“.

Von nah und fern schauen wir auf das Moore'sche Gesetz. Noch 2008 auf dem IDF in Peking hat der damalige Intel-CTO und Tick-Tock-Erfinder Pat Gelsinger posaunt, mindestens bis 2029 gehe es mit dem Moore'schen Gesetz ungebremst weiter. Doch 2029 ist irgendwie jetzt schon. Intel-Chef Krzanich hat es mit dem im letzten Prozessorgeflüster beschriebenen Umstieg auf Tick-Tock im 2,5-Jahres-Rhythmus eingeleitet. Nun aber sprang TSMC in die Bresche: Wir sind schneller als Intel, tönnte die taiwanische Firma auf ihrer Bilanzpressekonferenz. Schon Anfang 2017 will TSMC mit der Massenproduktion in 10-nm-FinFet-Technik (CLN10) starten. Die sogenannte „Risk Produktion“ also die Einlauf- und Testphase soll bereits Ende 2016 beginnen. Und 7 nm, offenbar immer noch auf Basis von 193-nm-ArF-Laserlicht, könnte laut TSMC dann schon ein Jahr später folgen.

Auf die Frage eines Analysten der Deutschen Bank über Intels Rhythmusprobleme antwortete Chairman Morris Chang allerdings sehr vielsagend: „Nun gut, wenn Intel sagt, es sind zwei Jahre, können wir es eher machen, aber vielleicht macht Intel es später, dann machen wir es auch später. Zweieinhalb klingt gut – haben Sie meine Antwort verstanden?“

Exascale per Order

Wie dem auch sei, auch im Oval Office ist der Begriff der „Post-Moore Law Era“ inzwischen angekommen und dort sieht man hehre Wachstumsziele bedroht. Um dabei das Target des ersten ExaFlops-Systems aus amerikanischer Produktion nicht aus den Augen zu verlieren, hat Präsident Obama in einem Dekret verfügt, dass betroffene amerikanische „Agenturen“ (also Behörden und

öffentliche Einrichtungen) rund um die drei führenden Institutionen verstärkt in einer Nationalen Strategischen Computing-Initiative (NSCI) zusammenarbeiten sollen. Das betrifft das Department of Energy (DoE), das Verteidigungsministerium (DoD), die National Science Foundation (NSF) nebst NIST, FBI, NASA, ... Sie sollen im Lauf der kommenden 15 Jahre einen passablen Weg für zukünftige HPC-Systeme finden, selbst wenn die Halbleitertechnik nicht mehr dem Moore'schen Gesetz folgen kann. Aufgabe der NSCI ist es in erster Linie, Industrie und akademische Einrichtungen zu unterstützen, Möglichkeiten in Richtung Exascale-HPC (High-Performance Computing) auszuloten.

Passabel heißt dabei, dass alles in einem „vernünftigen“ Kosten- und Energierahmen stehen muss, denn mit vielen, vielen Milliarden US-Dollar und einem eigenen Atomkraftwerk der Gigawatt-Klasse könnte man auch jetzt schon Exascale-Systeme aufbauen. 15 Jahre Zeit erscheinen insgesamt durchaus entspannt, aber die strategische Initiative soll wohl schon über Exascale hinausgehen. Der oben angesprochene Gelsinger hatte 2008 jedenfalls für 2029 schon Zettascale-Systeme vorausgesagt.

Mit Heavyweight-Systemen (Xeon, Power) wird man das 20-MW-Ziel in den nächsten 10 Jahren nicht erreichen, so die preisgekrönte Studie von Dr. Peter Kogge.

Klassische Allround-Architekturen wie x86 oder Power werden zumindest in den nächsten zehn Jahren allerdings kaum in vernünftige Energieeffizienz-Größenordnungen vordringen, sondern im allerbesten Fall mindestens 180 MW bei 1 ExaFlops verschlingen – neunmal mehr als derzeit unter „vernünftig“ segelt. Das belegt eine Studie des bekannten Ex-IBM-Fellows Dr. Peter Kogge, jetzt Professor an der University of Notre Dame, für die er auf der ISC'15 den Gauss-Preis erhielt.

Man braucht also andere, vielleicht völlig neue Architekturen und Ideen für Prozessoren, Speicher und Interconnect. Bislang gab es hierzu bereits entsprechende Einzelprogramme, etwa FastForward 2 des DoE. Daraus bekommt unter anderem AMD 32 Millionen US-Dollar für Exascale-Forschung. Weitere 67 Millionen Dollar dieses Programms verteilen sich auf IBM, Intel, Nvidia und Cray. Auch Außenseiter bekommen ab und zu eine Chance, wenn auch im überschaubaren Rahmen. So erhält Rex Computing in Oakland jetzt für ihr Konzept eines cachelosen Mesh-Chips aus 256 Kernen namens Neo (Prozessorgeflüster 9/15) einen kleinen Zuschuss in Höhe von etwa 100 000 Dollar von der DARPA. Immerhin verspricht das Start-up für seinen Chip eine fünffach höhere Energieeffizienz als Intels Xeon Phi Knights Landing. Cachefrei und sogar registerfrei ist auch das Transportband-Konzept (Belt) der Mill-Architektur, das Firmenchef Ivan Godard unermüdlich in neuen Youtube-Videos anpreist und in seinem Forum erklärt. In der Außenwelt war ansonsten in letzter Zeit aber nur wenig von Fortschritten bei Mill Computing

zu hören oder zu lesen. Bei beiden Konzepten schwankt jedenfalls die Szene heftig zwischen Verriss und Begeisterung.

Und dann gibt es noch die Altmeister, die jederzeit für eine Überraschung gut sind. So wollen jetzt Intel und Micron mit deutlich übermoore'scher Geschwindigkeit auf dem Gebiet des Nonvolatile Memory voranschreiten. Ihre neue Flash-Alternative 3D Xpoint soll gleich 1000-mal schneller sein als Flash und auch 1000-mal beständiger (siehe S. 27).

Flops and Tops

Kleiner Sprung um knapp 22 Jahre zurück. In c't 12/1993 vor genau 512 Ausgaben begann (eigentlich gegen den Willen des Chefredakteurs) das Prozessorgeflüster. Die ersten Versionen waren noch ohne Untertitel, einige andere – genau fünf – beileibigten sich auch anderer Titel, standen aber voll in der Kolummentradition, was man schon an solchen Überschriften wie „Offenbarungseid, Intel P6: zu langsam unter Windows“ (Georg Schnurer 8/95) oder „Alles Banane, Unreifer Cyrix-Prozessor und Microsofts Bananen-Kur“ (Andreas Stiller, 10/96) ablesen kann. Hier noch ein paar Statistiken: 400 der 512 Geflüster fangen mit „von“ oder „vom“ an. Chips (16) sind die meistverwendeten Substantive (Bier tauchte zumindest in den Überschriften nur zweimal auf, okay zusammen mit Hopfen dreimal, dafür Frühling viermal ...) und neu mit allen Beugungen (40) die häufigsten Adjektive im Titel. Niemals gab es gleiche Überschriften, nur ein paar sehr ähnliche.

Die meist erwähnte Person im Text war – so wie auch diesmal –

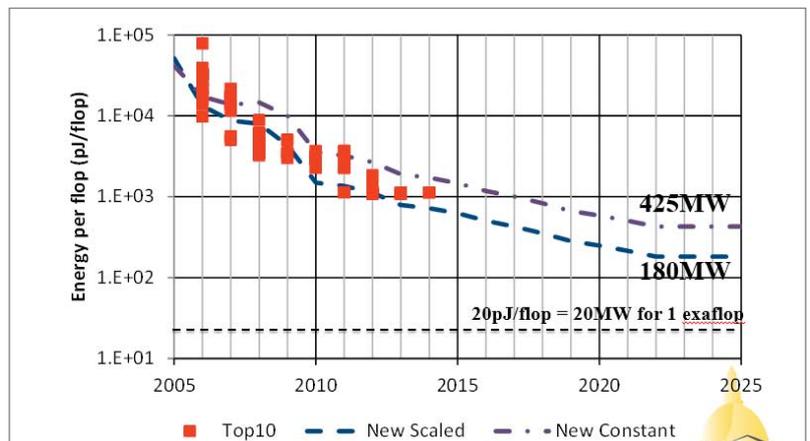


Bild: Peter Kogge

Anzeige

Prozessorgeflüster

Andreas Stiller

Viele Prozessorhersteller nutzten die Systems oder das gleichzeitige Microprocessor-Forum in Kalifornien, um ihre neuesten Sprößlinge vorzustellen. Darunter auch den zweiten Vertreter der Power-Linie, den PowerPC 603, den IBM und Motorola nun als Produktionsmuster fertigt haben.



Den PowerPC 601 fertigt derzeit IBM allein, den für den Notebook-Markt bestimmten 603 wird auch Motorola in ihrer neuen '0,5µ-Fab' MOS11 in Austin fabrizieren. Der 603 hat wahlweise einen 32- oder 64bitigen Datenbus und einen 32bitigen Adreßbus. Anders als der 601 hat er zwei getrennte Caches (je 8 KByte) für Daten und Instruktionen. Als 3,3-V-Design mit weniger als halb so viel Transistoren (1,2 Mio) verbraucht er nur 2,5 W.

Daneben verkündete Motorola, daß der 601 nun mit 80 MHz erhältlich ist und daß im nächsten Jahr der leistungsfähigere 604 folgen soll.

Im Umfeld von IBM/Motorola war auch von zwei 'sagunwobenen' PowerPC-Versionen zu hören: der 613, eine spezielle Apple-603-Variante für den Newton und der 615, der allen bisherigen IBM-Dementis zum Trotz doch mit 386/486-Microcode-Emulation daherkommen soll.

Intel enttäuschte ihre Fangemeinde, statt des erhofften 486DX3-100 stellte sie lediglich ihre Overdrive-Upgrade-Strategy vor. Gegen 5000 Dollar Gebühr kann nun ein Hersteller ein Board-Design verifizieren (letzteres mit einer Overdrive-Ready-Plakette).

Cyrix verriet auf dem Microprocessor-Forum erstmals einige Interna ihres Pentium-Konkurrenten M1. Dieser soll mit bis zu 100 MHz Takt arbeiten und dabei wie Pentium und PowerPC 601 mit einem SPECint/Takt-Wert von 1 daherkommen (also rund 100 SPECint92 bei 100 MHz). Cyrix' Superscalar/Superpipeline-Chip soll x86-Software fahren, zusätzliche Register haben (insgesamt 32) und 'vorausschauende' Fähigkeiten aufweisen. Er dekodiert dann bei bedingten Verzweigungen nicht nur die beiden möglichen Wege, sondern führt auch spekulative Exekutionen durch und ändert bei Bedarf

auch deren Reihenfolge (out-of-order Execution). Anders als beim Pentium würde so auch alte x86-Software von der Parallelverarbeitung profitieren.

Allerdings ist der M1 derzeit noch Paperware, für 1994 wird 'die Ankündigung' erster Produkte angekündigt.

DEC nähert sich mit seinen neuesten Prozessoren 21064A-225 und 21064A-275 allmählich dem UHF-Bereich, (170 SPECint92, 290 SPECfp92). Von den in 0,5-µ-Technik hergestellten 3,3-V-Prozessoren wird der 225-MHz Typ ab Dezember '93 gegen 877 Dollar (ab 5000 Stück) ausgeliefert, im Frühsommer '94 sollen die 275-MHz-Renner folgen (1442 Dollar).

Mips setzt einen drauf

Auch auf der Mips-Seite gibt es Bewegung. Mips stellte SSR 'Streaming Superscalar Risc' vor, eine Zwei-Chip-Lösung für den Hochleistungsbereich, die Spitzenwerte von 300 MFlops bei 75/150 MHz erzielen soll. Dank einer 'Streaming-Cache-Technologie' ist eine enorm große Bandbreite von 1,2 GByte/s zwischen Cache und CPU möglich. SSR ist dabei voll binärkompatibel zur Mips-Familie.

Vor allem im Preis/Leistungsverhältnis (SPECint/Dollar) sowie im Stromverbrauch will der R4600 von IDT (Codename Orion) neue Maßstäbe setzen. Es handelt sich dabei um eine pin-kompatible Ableitung vom

R4400PC, welche die Firma QED, eine Gruppe abtrünniger Mips-Entwickler designt hat. Wie nämlich ist der 4600 voll 64bitig und hat getrennte Daten- und Code-Caches von je 16 KByte (allerdings zweifach assoziativ). Als PC (179polig PGA) hat er keinen integrierten L2-Cache-Controller. Die Pipeline arbeitet mit Taktverdopplung (50/100 MHz), ihre Struktur wurde deutlich verbessert (5 statt 8 Stufen), so daß der 4600 bei gleichem Takt bessere SPECint92-Werte liefert (68 gegenüber 60). Interessant ist neben dem Preis (240 \$) auch die niedrige Stromaufnahme von nur 2,5 W (30 mW im Stand-by).

Unterdessen gibt Sun die Verfügbarkeit des microSPARC-II-Prozessors bekannt. Dieser arbeitet mit 70 MHz Takt (demnächst 100 MHz), verbraucht dank 3,3-V-Technologie und Power-Management deutlich weniger Strom (5 W im Betrieb) als die alte microSPARC-CPU und hängt den Vorgänger mit 51 SPECint92 und 43 SPECfp92 (bei 70 MHz) um das Zwei- bis Dreifache ab. Der von Fujitsu produzierte Chip (0,5-CMOS-Prozeß, dreilagig), ist weiterhin eine 32bitige Single-Skalar-Implementierung und hat FPU, Memory- und S-Bus-Controller integriert, nun aber mit einem wesentlich größeren Cache (16 KB Code und 8 KB Daten). Ab Anfang 1994 soll der microSPARC-II in Stückzahlen erhältlich sein. (as)

Das erste Prozessorgeflüster von November 1993: Microprocessor Forum, Systems, DEC, Cyrix und Sun gibts nicht mehr, IBM, Intel und Fujitsu haben durchgehalten.

Intels langjähriger CTO und späterer Chef der Digital Enterprise Group Pat Gelsinger. Im Schnitt war das Prozessorgeflüster auf der Seite 24,12 zu finden.

454 Prozessorgeflüster inklusive diesem hab ich allein zu beantworten oder an ihnen mitgewirkt. Insgesamt zehn Kollegen und eine Kollegin haben im Laufe der Zeit den Job übernommen oder dazu beigetragen. Alle Top 7 der Flüsterer sind noch an Bord, das spricht für Kontinuität (siehe nebenstehende Tabelle).

Reminiszenz kommt auf, schaut man mal aufs erste Geflüster, das wir hier zur Erinnerung als Faksimile abdrucken. Da ist vom Microprocessor Forum in Kalifornien und von der Systems in München die Rede – beide Veran-

staltungen gibts schon lange nicht mehr. Auch DEC und Cyrix sind schon seit ewigen Zeiten von der Bildfläche verschwunden. Sun gehört jetzt Oracle, Mips

zu Imagination Tech. und Motorola wurde aufgeteilt. Die Somerset genannte PowerPC-Allianz von IBM, Motorola und Apple ist ebenfalls schon lange Geschichte. Immerhin, IBM, Intel, Fujitsu – und das Prozessorgeflüster – haben durchgehalten.

Tops und Flops gabs im Geflüster reichlich. Ein hübscher Flop blieb den Lesern gerade noch in letzter Sekunde erspart: ein vergessenes „f“, sonst wäre einmal ein Prozessorgeflüster durchgerutscht. Daneben hat sich der Autor zwischendurch mit schlechten Geographiekennntnissen blamiert, lag zweimal um bald 100 Kilometer daneben: Das hübsche Regensburg liegt natürlich in der Oberpfalz und nicht etwa in Franken (1/15) und Wall-

dorf (aka SAP-Hausen) ist eindeutig in Südbaden zu finden und hat nichts mit der hessischen Teilstadt Walldorf zu tun (in Business-Hammer 3/03, Prozessorgeflüster 4/03). Fast jeder SAP-Mitarbeiter – und davon gibt es viele – fühlte sich damals herausgefordert, eine Protest-Mail zu schicken, dagegen ist ein normaler Shit-Storm rein gar nichts.

Unglücklich war auch die Nennung von www.alternate.com statt www.alternate.de – das war damals noch eine recht heftige SM-Site. Inzwischen sicherte sich die Firma Alternate auch die internationale Domain, nun führt auch der alte Link zum gewünschten Ziel.

Zu den Highlights gehören frühzeitige Spekulationen zu

Alle Flüsterer

Andreas Stiller	454
Christof Windeck	25
Georg Schnurer	16
Jörg Wirtgen	13
Oliver Lau	6
Martin Fischer	4
Benjamin Benz	3
Dr. Sabine Cianciolo	3
Carsten Meyer	2
Herbert Schmid	2
Uwe Post	2
Nico Ernst	2



Intels damaliger CTO Pat Gelsinger, die am häufigsten genannte Person im Prozessorgeflüster, sagte mutig auf dem IDF 2008 das Fortbestehen des Moore'schen Gesetzes mindestens bis 2029 voraus und er erwartete dann schon Zettaflops-Systeme.

neuen Prozessoren. Das zeichnete sich schon in der ersten Ausgabe mit der Erwähnung des ominösen PowerPC 615 ab, der x86-Code ausführen sollte. Der kam zwar nie heraus – lag aber tatsächlich, wie sich später herausstellte, fix und fertig entwickelt in der IBM-Schublade. Angeblich soll Microsoft IBM von einer Produktion abgehalten haben. Andere Quellen berichteten davon, dass Windows darauf fixer war als Apples Mac OS, das sollte aber nicht sein.

Dutzende solcher spekulativen oder realen Prozessoren tauchten im Geflüster im Verlaufe auf und viele davon wieder unter. Intels Tejas etwa sollte das P4-Design NetBurst bis hinauf auf 10 GHz fortsetzen: gecancel. Oder Intels Timna, ein SOC mit Grafik- und Rambus-Controller: ebenfalls gecancel. Wir haben wahrscheinlich die einzigen Benchmark-Ergebnisse eines Timna-Prototyp-Systems (damals noch unter DOS). Dann gab es noch einen groß angelegten Versuch von Texas Instruments, einen x86-Prozessor herauszubringen, und von Rise und Montvale und Transmeta und den Itanium ...

Das Entdecken eines kritischen Bugs (erstmal beschrieben im Geflüster 16/97 „Von Bier, Bugs, Bunnies“) trug letztlich sogar dazu bei, dass Cyrix von der Bildfläche verschwand. Viel später erst habe ich von einem Insider erfahren, dass Cyrix über ein halbes Jahr zur Beseitigung genau dieses Fehlers brauchte – zu lange. Cyrix, das zwischenzeitlich von National Semi übernommen worden war, hat sich davon nicht erholt. Auch das Knacken von Intels Prozessorseriennum-

mer mithilfe von ACPI stand zuerst im Geflüster (6/99). Außerdem viele, viele frühe Benchmark-Werte von Pentium, Opteron und so weiter.

2008 erfuhren c't-Leser bereits davon, das AMD ein recht fragwürdiges Design mit getrennten Integer- und gemeinsamen Gleitkommaeinheiten in Arbeit hat, der spätere Bulldozer, aus dem bekanntlich nicht viel geworden ist. Auch wie Intels geheimes Larrabee-Design aussehen wird, der spätere Xeon Phi mit auf 64 Bit erweiterten Pentium-Kernen (15/08) – das wollten viele damals nicht glauben. Später folgten Details wie die Anzahl der Kerne etc. Auch über das Innenleben des Nachfolgers Xeon Phi Knights Landing erfuhren zunächst heise online- und dann ausführlicher c't-Leser im Prozessorgeflüster. Intels HPC-Chef Raj Hazra soll darüber nicht very amused gewesen sein. Sein Kollege, Chefarchitekt Ronak Singhal, zeigte sich im Gespräch mehrfach erstaunt über die Vorabveröffentlichung mancher Details etwa zum Microcode Cache des Sandy Bridge (21/09). Besonders überrascht hatte ihn in dem schönen Wortspiel „Von Haskell und Haswell, 26/11“ das Ausposaunen des Transactional Memory-Features des kommenden Prozessors, das später wegen eines Bugs dann leider abgeschaltet werden musste.

Doch genug davon, jetzt können Sie sich an dem nebenstehenden allerersten Prozessorgeflüster mit modernsten 0,5-µm-Prozessen, 300 MFlops und mit auf fast UHF hochgetakteten Prozessoren aus dem Jahre 1993 erfreuen. (as@ct.de)

Anzeige